

PUB. NO.: 10-177520 [JP 10177520 A]

PUBLISHED: June 30, 1998 (19980630)

INVENTOR(s): NISHIMOTO JUNICHI

NISHII OSAMU

ARAKAWA FUMIO

NARITA SUSUMU

ITO MASAYUKI

TODA MAKOTO

UCHIYAMA KUNIO

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 09-280207 [JP 97280207]

FILED: October 14, 1997 (19971014)

INTL CLASS: [6] G06F-012/10; G06F-012/08; G06F-012/14

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R131 (INFORMATION PROCESSING -- Microcomputers &  
Microprocessors)

#### ABSTRACT

PROBLEM TO BE SOLVED: To provide a data processor which is improved in address converting speed.

SOLUTION: The address translation buffer of this data processor is divided into an address translation buffer 4 for data and an address translation buffer 3 for instruction so that address translation information for instruction can also be stored in the buffer 4 and, when a translation error occurs in the buffer 3, new address translation information can be fetched from the buffer 4. The address translating speed of the data processor can be improved as compared with such a case where the address translation information is obtained from an external address translation table whenever a translation error occurs.



【特許請求の範囲】

【請求項1】 中央処理装置と、

前記中央処理装置が出力する仮想アドレスを物理アドレスに変換するためのアドレス変換情報の一部が格納され、前記仮想アドレスに応ずる物理アドレスをアドレス変換情報から連想検索する第1のアドレス変換バッファと、  
第1のアドレス変換バッファが保有するアドレス変換情報の内の命令アドレスに関するアドレス変換情報を格納し、命令フェッチに際して前記中央処理装置が出力する仮想アドレスに応ずる物理アドレスをアドレス変換情報から連想検索し、連想検索の結果が検索ミスであるとき、当該検索ミスに係る仮想アドレスによって前記第1のアドレス変換バッファを連想検索させ、この連想検索によって検索されたアドレス変換情報を取得する第2のアドレス変換バッファと、を含んで成るものであることを特徴とするデータプロセッサ。

【請求項2】 中央処理装置と、

前記中央処理装置が取扱う仮想アドレスを物理アドレスに変換するためのアドレス変換情報の一部が格納され、中央処理装置が出力する仮想ページ番号に応ずる物理ページ番号をアドレス変換情報から連想検索する第1のアドレス変換バッファと、  
第1のアドレス変換バッファが保有するアドレス変換情報の内の命令アドレスに関するアドレス変換情報を格納し、命令フェッチに際して前記中央処理装置が出力する仮想ページ番号に応ずる物理ページ番号をアドレス変換情報から連想検索する第2のアドレス変換バッファと、前記第2のアドレス変換バッファによる連想検索の結果が検索ミスであるとき、当該検索ミスに係る仮想ページ番号によって前記第1のアドレス変換バッファを連想検索させ、この連想検索によって検索されたアドレス変換情報を前記第2のアドレス変換バッファに与えるバッファ制御手段と、を含んで成るものであることを特徴とするデータプロセッサ。

【請求項3】 前記第2のアドレス変換バッファによる連想検索の結果が検索ミスであって、当該検索ミスに係る仮想ページ番号による前記第1のアドレス変換バッファの連想検索の結果が検索ミスであるとき、前記中央処理装置は例外処理によって前記検索ミスに係る仮想ページ番号を含むアドレス変換情報を前記第1のアドレス変換バッファに書き込み制御するものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項4】 物理ページ番号に対応させてデータのキャッシュエントリが格納され、前記第1のアドレス変換バッファによって連想検索された物理ページ番号が供給され、これに対応されるキャッシュエントリを連想検索するデータキャッシュメモリを更に含んで成るものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項5】 前記データキャッシュメモリの一部は仮

想アドレスによって規定される所定の領域にマッピングされ、前記所定の領域へのアクセスを検出して前記データキャッシュメモリをランダムアクセス動作させる第1のRAM領域判定制御手段を更に備えて成るものであることを特徴とする請求項4記載のデータプロセッサ。

【請求項6】 物理ページ番号に対応させて命令のキャッシュエントリが格納され、前記第2のアドレス変換バッファによって連想検索された物理ページ番号が供給され、これに対応されるキャッシュエントリを連想検索する命令キャッシュメモリを更に含んで成るものであることを特徴とする請求項2記載のデータプロセッサ。

【請求項7】 前記命令キャッシュメモリの一部は仮想アドレスによって規定される所定の領域にマッピングされ、前記所定の領域へのアクセスを検出して前記命令キャッシュメモリをランダムアクセス動作させる第2のRAM領域判定制御手段を更に備えて成るものであることを特徴とする請求項6記載のデータプロセッサ。

【請求項8】 前記第1のアドレス変換バッファに格納される変換情報はページに対するアクセス権を規定する保護情報を有し、連想ヒットに係る変換情報の保護情報に基づいて当該ページに対するアクセス権を判定するアクセス保護手段を更に備えて成るものであることを特徴とする請求項4記載のデータプロセッサ。

【請求項9】 前記第1のアドレス変換バッファによる連想検索による連想ヒットによって出力される物理ページ番号を入力し、入力した物理ページ番号がデータプロセッサ内部のI/Oレジスタ空間に割り当てられた物理ページに一致するかを判定し、一致検出によって前記データキャッシュメモリの連想検索動作を抑止すると共に、I/Oレジスタを直接アクセスさせる検出手段を更に備えて成るものであることを特徴とする請求項8記載のデータプロセッサ。

【請求項10】 前記第1のアドレス変換バッファに格納される変換情報は、前記データキャッシュメモリに対する書き込み制御形態としてライトスルー又はライトバックの何れを採用するかを規定するためのキャッシュライトモード規定情報を有し、連想ヒットに係る変換情報に含まれる前記キャッシュライトモード情報に基づいて当該ページに対するキャッシュライトの形態を制御するキャッシュライト制御手段を更に備えて成るものであることを特徴とする請求項4記載のデータプロセッサ。

【請求項11】 第1のインデックスモード指定回路を更に含み、前記第1のインデックスモード指定回路は、前記仮想アドレスの特定ビットと、当該特定ビットよりも上位のビットとを切り換えて前記データキャッシュメモリに供給するものであることを特徴とする請求項4又は5記載のデータプロセッサ。

【請求項12】 第2のインデックスモード指定回路を更に含み、前記第2のインデックスモード指定回路は、前記仮想アドレスの特定ビットと、当該特定ビットより

も上位のビットとを切り換えて前記命令キャッシュメモリに供給するものであることを特徴とする請求項6又は7記載のデータプロセッサ。

【請求項13】 中央処理装置と、  
キャッシュメモリと、  
前記中央処理装置が出力する仮想アドレスの特定ビットと、当該特定ビットよりも上位のビットとを切り換え、前記キャッシュメモリにおける格納先のキャッシュエントリを選択する選択回路と、を含んで成るものであることを特徴とするデータプロセッサ。

【請求項14】 前記キャッシュメモリは、物理ページ番号に対応させてデータのキャッシュエントリが格納され、アドレス変換バッファによって連想検索された物理ページ番号が供給され、これに対応されるキャッシュエントリを連想検索するデータキャッシュメモリであることを特徴とする請求項13記載のデータプロセッサ。

【請求項15】 前記キャッシュメモリは、物理ページ番号に対応させて命令のキャッシュエントリが格納され、アドレス変換バッファによって連想検索された物理ページ番号が供給され、これに対応されるキャッシュエントリを連想検索する命令キャッシュメモリであることを特徴とする請求項13記載のデータプロセッサ。

【請求項16】 前記第1のアドレス変換バッファの容量は第2アドレス変換バッファの容量より大きいものであることを特徴とする請求項1乃至12の何れか1項記載のデータプロセッサ。

【請求項17】 データプロセッサと、前記データプロセッサに接続された外部メモリとを含むデータ処理システムであって、前記データプロセッサは、  
中央処理装置と、  
前記中央処理装置が取り扱う仮想アドレスを物理アドレスに変換するためのアドレス変換情報の一部が格納され、中央処理装置が出力する仮想ページ番号に応ずる物理ページ番号をアドレス変換情報から連想検索する第1のアドレス変換バッファと、  
前記第1のアドレス変換バッファが保有するアドレス変換情報の内の命令アドレスに関するアドレス変換情報を格納し、命令フェッチに際して前記中央処理装置が出力する仮想ページ番号に応ずる物理ページ番号をアドレス変換情報から連想検索し、連想検索の結果が検索ミスであるとき、当該検索ミスに係る仮想ページ番号によって前記第1のアドレス変換バッファを連想検索させ、この連想検索によって検索されたアドレス変換情報を取得する第2のアドレス変換バッファと、を含んで成るものであることを特徴とするデータ処理システム。

【請求項18】 前記外部メモリは前記仮想アドレスを前記物理アドレスに変換するためのアドレス変換情報を格納し、前記アドレス変換情報の内最近利用された一部のものが前記データプロセッサのオペレーティングシステムの制御により、前記外部メモリから前記第1又は第

2のアドレス変換バッファに格納されるものであることを特徴とする請求項17記載のデータ処理システム。

【請求項19】 前記データキャッシュメモリの検索結果がリードミスの場合、ミスに係るデータを含む1キャッシュライン分の情報が前記外部メモリから読み出されて前記データキャッシュメモリに格納されるものであることを特徴とする請求項17記載のデータ処理システム。

【請求項20】 前記命令キャッシュメモリの検索結果がリードミスの場合、ミスに係る命令を含む1キャッシュライン分の情報が前記外部メモリから読み出されて前記命令キャッシュメモリに格納されるものであることを特徴とする請求項17記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アドレス変換バッファを備えたデータプロセッサ、更にはそのようなデータプロセッサを用いたデータ処理システムに関し、例えばデータ処理の高速化に適用して有効な技術に関するものである。

【0002】

【従来の技術】仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリ空間を用意し、プロセスはその仮想メモリ空間にマッピングされる。ここで、プロセスとは、OS (Operating System: オペレーティング・システム) の管理下で実行中のプログラムを意味する。このため、プロセスは、仮想メモリ上での動作だけを考慮すればよくなる。仮想メモリから物理メモリへのマッピングには、MMU (Memory Management Unit) が用いられる。MMUは、通常OS (Operating System) が管理しており、プロセスが必要とする仮想メモリを物理メモリにマッピング出来るように、物理メモリの入換えを行う。物理メモリの入換えは2次記憶などとの間で行われる。また、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしたりしないように、MMUは通常記憶保護の機能も備えている。

【0003】前記MMUを用いて仮想メモリのアドレス(仮想アドレス)から物理メモリのアドレス(物理アドレス)へアドレス変換を行うとき、そのアドレス変換情報がMMUに登録されていなかったり、或いは別のプロセスの仮想メモリへ誤ってアクセスすることがある。このとき、MMUは、例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録する。

【0004】上記MMUの機能はソフトウェアだけでも実現可能であるが、プロセスが物理メモリへアクセスする度にソフトウェアで変換を行っていたのでは効率が悪くなる。そのため、ハードウェア上にアドレス変換のためのアドレス変換バッファを用意し、頻繁に使用されるアドレス変換情報をそのアドレス変換バッファに置くようにする。すなわち、そのアドレス変換バッファは、ア

ドレス変換情報のためのキャッシュメモリとして構成される。通常のキャッシュメモリとの相違は、アドレス変換に失敗したとき、アドレス変換情報の入れ換えを専らソフトウェアに依存して行うことである。

【0005】また、データや命令アクセスを高速するために種々のキャッシュメモリが広く採用されている。

【0006】

【発明が解決しようとする課題】本発明者はメモリアクセスの高速化の観点から、アドレス変換バッファやキャッシュメモリについて検討した。アドレス変換バッファを命令用とデータ用に夫々分けるプロセッサとして、例えば、PowerPC 603 RISC Microprocessor User's Manual (MOTOROLA, 1994)に記載のものがある。このプロセッサは更にデータキャッシュメモリと命令キャッシュメモリを別々に備えている。本文献のページ7-15においてPowerPCでは命令TLBミスをデータTLBミスと別に扱っている事がわかる。本発明者の検討によれば、アドレス変換バッファを命令用とデータ用に別々に備えていても、相互に関連がないため、アドレス変換に失敗すれば、外部メモリから必要なアドレス変換情報を取得しなければならず、メモリアクセスの高速化には限界のあることが明らかにされた。

【0007】また、キャッシュメモリは、キャッシュミスを生じた場合には外部メモリからキャッシュエントリが1エントリ分だけ新たに読み込まれる。このとき、無効なキャッシュエントリが無ければ、LRU (Least Recently Used) 等の論理に従って有効なキャッシュエントリがキャッシュメモリから追い出されることになる。このようにして追い出されたキャッシュエントリは次に利用されるデータ又は命令を含んでいるかもしれない。したがって、特に高速化を要するような処理ルーチンを規定する命令等は常にキャッシュメモリに留まっていることが望ましく、そのような場合には、キャッシュメモリをランダム・アクセス・メモリとして利用可能にすることも考えられる。しかし、キャッシュメモリの全ての領域をそのようにした場合には、逆にキャッシュメモリとしての機能が全て殺される結果、用途によっては不都合を生ずる場合も予想される。

【0008】本発明の目的は、メモリアクセスを高速化することができるデータプロセッサを提供することにある。詳しくは、アドレス変換の観点よりメモリアクセスを高速化する技術を提供し、又、キャッシュメモリの観点よりメモリアクセスを高速化する技術を提供しようとするものである。

【0009】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記

の通りである。

【0011】すなわち、本発明の第1の観点は、アドレス変換バッファをデータ用と命令用に分け、データ用のアドレス変換バッファには命令用のアドレス変換情報も格納させ、命令用のアドレス変換バッファで変換ミスを生じたときは、新たなアドレス変換情報をデータ用のアドレス変換バッファから取り込むようにするものである。

【0012】詳しくは、データプロセッサ(1)は、中央処理装置(2)と、前記中央処理装置が取扱う仮想アドレスを物理アドレスに変換するためのアドレス変換情報の一部が格納され中央処理装置が出力する仮想アドレスに於ける物理アドレスをアドレス変換情報から連想検索する第1のアドレス変換バッファ(4)と、第1のアドレス変換バッファが保有するアドレス変換情報の内の命令アドレスに関するアドレス変換情報を格納し、命令フェッチに際して前記中央処理装置が出力する仮想アドレスに於ける物理アドレスをアドレス変換情報から連想検索し、連想検索の結果が検索ミスであるとき、当該検索ミスに係る仮想アドレスによって前記第1のアドレス変換バッファを連想検索させ、この連想検索によって検索されたアドレス変換情報を取得する第2のアドレス変換バッファ(3)とを含んで成る。

【0013】そのような観点に立つ別のデータプロセッサは、中央処理装置と、前記中央処理装置が取扱う仮想アドレスを物理アドレスに変換するためのアドレス変換情報の一部が格納され中央処理装置が出力する仮想ページ番号に於ける物理ページ番号をアドレス変換情報から連想検索する第1のアドレス変換バッファと、第1のアドレス変換バッファが保有するアドレス変換情報の内の命令アドレスに関するアドレス変換情報を格納し、命令フェッチに際して前記中央処理装置が出力する仮想ページ番号に於ける物理ページ番号をアドレス変換情報から連想検索する第2のアドレス変換バッファと、前記第2のアドレス変換バッファによる連想検索の結果が検索ミスであるとき、当該検索ミスに係る仮想ページ番号によって前記第1のアドレス変換バッファを連想検索させ、この連想検索によって検索されたアドレス変換情報を前記第2のアドレス変換バッファに与えるバッファ制御手段(320)とを含む。

【0014】上記手段によれば、命令用のアドレス変換バッファで変換ミスを生じたときは、新たなアドレス変換情報をデータ用のアドレス変換バッファから取り込むので、変換ミスの時に毎回外部のアドレス変換テーブルからアドレス変換情報を取得する場合に比べて、アドレス変換動作の高速化を実現出来る。これによってメモリアクセスの高速化を達成する。特に、命令アドレスの変換を高速化しているのは、フェッチされた命令のデコード結果に従ってオペランドフェッチが行われるからである。或いは、命令用アドレス変換バッファをデータ用ア

ドレス変換バッファに比べて小容量（エントリ数が少ない）にするためだからである。

【0015】前記第2のアドレス変換バッファによる連想検索の結果が検索ミスであって、当該検索ミスに係る仮想ページ番号による前記第1のアドレス変換バッファの連想検索の結果が検索ミスであるとき、前記中央処理装置は例外処理によって前記検索ミスに係る仮想ページ番号を含むアドレス変換情報をデータプロセッサの外部に設けられた外部メモリから読み出して前記第1のアドレス変換バッファに書き込み制御することになる。この例外処理が完了されると、中断されているアドレス変換動作が継続されることになる。

【0016】本発明の他の観点は、キャッシュメモリの一部の領域だけを選択的にランダム・アクセス・メモリとして動作させるものである。換言すれば、当該一部の領域に対してだけキャッシュ機能を抑止する。

【0017】詳しくは、上記データプロセッサは、物理ページ番号に対応させてデータのキャッシュエントリが格納され、前記第1のアドレス変換バッファによって連想検索された物理ページ番号が供給され、これに対応されるキャッシュエントリを連想検索するデータキャッシュメモリ（6）を更に含む。このとき、前記データキャッシュメモリの一部は仮想アドレスによって規定される所定の領域（E1）にマッピングされ、前記データプロセッサは、前記所定の領域へのアクセスを検出して前記データキャッシュメモリをランダムアクセス動作させる第1のRAM領域判定制御手段（605）を更に備える。

【0018】また、上記データプロセッサは、物理ページ番号に対応させて命令のキャッシュエントリが格納され、前記第2のアドレス変換バッファによって連想検索された物理ページ番号が供給され、これに対応されるキャッシュエントリを連想検索する命令キャッシュメモリ（5）を更に含む。このとき、前記命令キャッシュメモリの一部は仮想アドレスによって規定される所定の領域（E1）にマッピングされ、前記データプロセッサは前記所定の領域へのアクセスを検出して前記命令キャッシュメモリをランダムアクセス動作させる第2のRAM領域判定制御手段（505）を更に備える。

【0019】上記手段によれば、データキャッシュメモリ及び命令キャッシュメモリの前記所定の領域は、ランダムアクセスされ、双方のキャッシュメモリの残りの領域では連想検索が行われるキャッシュメモリとして動作されるから、特にアクセスの高速化を必要とする所望の命令やデータを常にキャッシュメモリに留まらせることと、最近用いた命令及びデータをキャッシュメモリに留まらせておくことの双方を満足でき、データ処理速度の向上に寄与する。

【0020】本発明の更に他の観点は、キャッシュメモリのキャッシュラインを選択するためのインデックスア

ドレスとして、仮想アドレスのビット位置を、通常の動作時よりも、より上位のビット位置に切り換える。これにより、キャッシュメモリを大きなアドレス空間毎に分割して仮想メモリ空間に割り当てるものである。

【0021】詳しくは、データキャッシュメモリのキャッシュラインの選択に仮想アドレスのより上位側のビットを選択的に用いるためのインデックスモード指定手段（630）を更に備える。

【0022】また、命令キャッシュメモリのキャッシュラインの選択に仮想アドレスのより上位側のビットを選択的に用いるためのインデックスモード指定手段（530）を更に備える。

【0023】上記手段によれば、仮想アドレスのより上位側のビットをキャッシュメモリのインデックスに用いることができるため、キャッシュメモリを大きなアドレス空間毎に分割して仮想メモリ空間に割り当てることができる。これにより、擬似的にダイレクトマップのキャッシュメモリをセットアソシアティブのキャッシュメモリとして扱う事ができ、データ処理速度の向上に寄与する。

【0024】本発明の更に他の観点は、データプロセッサの使い勝手を良好にするためのものである。

【0025】第1に、物理アドレス空間（物理メモリ上のアドレス空間）に仮想アドレス空間（仮想メモリ上のアドレス空間）から1/Oレジスタ領域（1/Oレジスタ空間）をマッピングする。すなわち、前記第1のアドレス変換バッファによる連想検索による連想ヒットによって出力される物理ページ番号を入力し、入力した物理ページ番号がデータプロセッサ内部の1/Oレジスタ空間に割り当てられたページに一致するかを検出し、一致検出によって前記データキャッシュメモリの連想検索動作を抑止するとともに、1/Oレジスタを直接アクセスさせる検出手段（606）を更に備える。このとき、前記第1のアドレス変換バッファに格納される変換情報はページに対するアクセス権を規定する保護情報を有し、連想ヒットに係る変換情報の保護情報に基づいて当該ページに対するアクセス権を判定するアクセス保護手段（405）を有する。これにより、1/Oレジスタ空間に対しても記憶保護を行うことができる。

【0026】第2に、前記第1のアドレス変換バッファに格納される変換情報は、前記データキャッシュメモリに対する書き込み制御形態としてライトスルー又はライトバックの何れを採用するかを規定するためのキャッシュライトモード規定情報（WT）を有し、連想ヒットに係る変換情報に含まれる前記キャッシュライトモード情報に基づいて当該ページに対するキャッシュライトの形態を制御するキャッシュライト制御手段（614）を備える。ライトスルーモードでは、キャッシュヒットの場合にはキャッシュメモリと外部メモリの双方に対して書き込みを行い、キャッシュミスの場合には外部メモリだけに

書込みを行う。ライトバックモードでは、キャッシュヒットの場合にはヒットに係るキャッシュエントリ（キャッシュライン）にそのデータを書込み、キャッシュミスの場合には外部メモリから一つのキャッシュエントリが読み込み（キャッシュフィル）されてタグアドレスが更新され、そのキャッシュラインにデータの書込みが行われる。このようにしてキャッシュフィルされたキャッシュラインのダーティービットはセット状態にされる。前記キャッシュフィルによってキャッシュメモリから追い出されるキャッシュラインがダーティーであるときは、そのキャッシュラインは外部メモリに書き戻されることになる。このように、ライトスルーモードの場合には、キャッシュメモリと外部メモリの内容は常に一致されるが、外部メモリアクセスが多くなる。ライトバックモードにおいては外部メモリアクセスは少なくなるが、キャッシュメモリと外部メモリとの内容が不一致にされる期間が存在し、複数のキャッシュメモリが外部メモリを共有する場合にはキャッシュメモリと外部メモリとの一貫性を保つことができなくなることがある。ページ単位でライトスルーモードとライトバックモードを選択可能であれば、キャッシュメモリと外部メモリの一貫性とアクセス速度との関係を、システム構成やプロセスの内容に応じて最適化することが可能になる。

【0027】上記データプロセッサを適用したデータ処理装置は、データプロセッサに接続された外部メモリと、その2次記憶とを有する。

【0028】

【発明の実施の形態】

【データプロセッサの構成】図1には本発明の一例に係るデータプロセッサのブロック図が示される。同図に示されるデータプロセッサ1は、特に制限されないが、32ビットのパイプラインRISC (Reduced Instruction Set Computer)アーキテクチャを有し、データプロセッサの命令セットは16ビット固定長とされる。

【0029】このデータプロセッサ1は、中央処理装置(CPU)2による命令アクセスとデータアクセスを並列化出来るように、命令用とデータ用のTLB（アドレス変換バッファ）3、4を別々に持ち、また、命令キャッシュメモリ5とデータキャッシュメモリ（オペランドキャッシュメモリ）6も夫々個別化されている。

【0030】データプロセッサ1は、特に制限されないが、32ビットの仮想アドレスで規定される仮想アドレス空間と29ビットの物理アドレスで規定される物理アドレス空間を扱う。仮想アドレスを物理アドレスに変換するためのアドレス変換情報は仮想ページ番号とそれに対応される物理ページ番号を含んでいる。アドレス変換テーブルはデータプロセッサ1の外部メモリに形成される。アドレス変換テーブルのアドレス変換情報のうち、最近利用された一部のものが前記アドレス変換バッファ3、4に格納されることになる。その制御は、例えばデ

ータプロセッサ1のOSが行う。

【0031】前記データ用のTLB（共用TLBとも記す）4はデータ及び命令のアドレス変換情報を最大64エントリ格納する。この共用TLB4は、データフェッチのためにCPU1が信号線111に出力する仮想アドレスの仮想ページ番号に応ずる物理ページ番号をアドレス変換情報から連想検索して、その仮想アドレスを物理アドレスに変換する。ここで、仮想アドレス空間は、ページという単位に分割され、このページ単位で物理アドレスに変換される。

【0032】前記命令用のTLB（命令TLBとも記す）3は命令専用のアドレス変換情報を最大4エントリ格納する。特に命令TLB3が保有するエントリは、共用TLB4が保有する命令アドレスの変換情報の一部とされる。共用TLB4から命令TLB3へのエントリの供給は信号線116を介して行われる。この命令TLB3は、命令フェッチのためにCPU1が信号線110に出力する仮想アドレスの仮想ページ番号に応ずる物理ページ番号をアドレス変換情報から連想検索して、その仮想アドレスを物理アドレスに変換する。検索ミスの場合には、前記共用TLB4から目的とするアドレス変換情報を得るための動作を信号線115を介して指示する。

【0033】前記データキャッシュメモリ6は、データフェッチに際して共用TLB4で変換された物理アドレスを信号線120を介して受け取り、これに基づいてキャッシュエントリの連想検索を行う。検索結果がリードヒットであれば、ヒットに係るキャッシュラインからその物理アドレスに応ずるデータがCPUバス117に出力される。検索結果がリードミスであれば、ミスに係るデータを含む1キャッシュライン分のデータがバスコントローラ7を介して外部メモリから読み込まれて、キャッシュフィルが行われ、それによってミスに係るデータがCPUバス117に読出される。検索結果がライトミスである場合には、詳細を後述するライトスルーモード又はライトバックモードによってその動作が相違される。

【0034】前記命令キャッシュメモリ5は、命令フェッチに際して命令TLB3で変換された物理アドレスを信号線125を介して受け取り、これに基づいてキャッシュエントリの連想検索を行う。検索結果がリードヒットであれば、ヒットに係るキャッシュラインからその物理アドレスに応ずる命令が信号線114に出力される。検索結果がリードミスであれば、ミスに係る命令を含む1キャッシュライン分のデータがバスコントローラ7を介して図示を省略する外部メモリから読み込まれて、キャッシュフィルが行われ、それによってミスに係る命令が信号線114を介してCPU2に与えられる。

【0035】詳細については後述するが、前記命令キャッシュメモリ5及びデータキャッシュメモリ6はその一部のデータ領域が選択的にランダムアクセス可能にされ

ている。

【0036】前記CPUバス117には前記共用TLB4やデータキャッシュメモリ6の他に、周辺モジュール8及びセルフテスト回路9が結合されている。周辺モジュール8は、例えば、タイマやシリアルインタフェースコントローラ等の適宜の回路が含まれている。

【0037】前記セルフテスト回路9は、CPU2から信号線112を介してセルフテストの指示が与えられると、命令TLB3、共用TLB4、命令キャッシュメモリ5及びデータキャッシュメモリ6の記憶領域に対するデータのライト及びリードを行い、テスト完了を信号線113を介してCPU2に返す。テスト結果はCPUバス117を介してCPU2が読み込み可能にされる。セルフテスト回路9はテストのためのアクセスアドレス信号や書き込みデータを信号線119を介して命令TLB3等に与える。命令TLB3、共用TLB4、命令キャッシュメモリ5及びデータキャッシュメモリ6からの読み出しデータは、特に制限されないが、専用信号線118、125、126及び127を介してセルフテスト回路9に供給される。

【0038】前記命令キャッシュメモリ5、データキャッシュメモリ6及び外部バスコントローラ7の接続はキャッシュアドレスバス121、キャッシュデータバス122及び図示を省略するコントロールバスによって行われる。前記外部バスコントローラ7は、命令キャッシュメモリ5やデータキャッシュメモリ6のキャッシュフィルに必要なデータを外部メモリから取り込み、或いはデータキャッシュメモリ6のキャッシュラインのデータを外部メモリに書き戻したりするために必要な外部バスサイクルの起動を制御する。この外部バスコントローラ7は外部アドレスバス123、外部データバス及び図示を省略する外部コントロールバスに結合される。図示を省略する外部メモリは外部アドレスバス123及び外部データバス124等に結合されることになる。図1に示されるデータプロセッサ1は、単結晶シリコンのような1個の半導体基板上に形成されている。

【0039】〔共用TLB〕図2には前記共用TLB4の一例ブロック図が示される。この共用TLB4は最大64個のTLBエントリを格納するためのメモリセルアレイを有し、このメモリセルアレイはアドレスアレイ400とデータアレイ401から構成される。一つのTLBエントリは、特に制限されないが、仮想ページ番号VPN、有効ビットV、サイズビットSZ、物理ページ番号PPN、フラグFLAG、及びキャッシュライトモードビットWTを有する。前記仮想ページ番号VPN、有効ビットV及びサイズビットSZを格納する領域はアドレスアレイ400に構成され、物理ページ番号PPN、フラグFLAG及びキャッシュライトモードビットWTを格納する領域はデータアレイ401に構成される。

【0040】特に制限されないが、仮想アドレスは、図

3に示されるようにそのページサイズが、1Kバイト、4Kバイト、64Kバイト及び1Mバイトの中から選択可能になっている。ページサイズは2ビットの前記サイズビットSZによって指定される。

【0041】有効ビットVはそれを含むTLBエントリの有効性を示し、論理値“1”のよって有効を意味する。フラグFLAGは、保護データ等を含む。保護データは、ページのアクセス権をコードで表した2ビットのデータである。例えば、“00”は特権モードで読み出しのみ可能、“01”は特権モードで読み出し及び書き込み可能、“10”は特権モード及びユーザモードで読み出し及び書き込み可能なことを意味する。前記キャッシュライトモードビットWTは、データキャッシュメモリ6をライトスルーモード又はライトバックモードの何れで動作させるかを指定する。後述するように、データキャッシュメモリ6は、ページ単位でライトスルーモード又はライトバックモードが選択可能にされる。

【0042】前記アドレスアレイ400は、特に制限されないがCAM (Content Addressable Memory) によって構成され、公知の如く、メモリセルそれぞれが比較機能を有している。検索動作においてアドレスアレイ400のメモリセルは並列的に選択されて比較動作を行う。図2では、その比較操作を行う回路要素を比較器として概念的に図示している。代表的に示された4個の比較器402A～402Dは一つのTLBエントリの仮想ページ番号が格納されている領域に対応される比較回路の要素を示すもので、402Aは仮想アドレスのビット10～ビット11、402Bは仮想アドレスのビット12～ビット15、402Cは仮想アドレスのビット16～ビット19、402Dは仮想アドレスのビット20～ビット31の比較器動作を行う要素を想定している。夫々の比較回路402A～402Dにおける比較結果が全ビット一致のとき、比較結果信号は論理値“1”にされる。

【0043】前記比較器402A～402Dによる比較対象は、信号線111を介して供給される仮想ページ番号の対応ビットとされる。403で示されるものはマスク回路であり、サイズビットSZに応じて比較回路402A～402Cによる比較結果をマスクする。即ち、サイズビットSZが1Kバイトページを指示するときは比較回路402A～402Cの比較結果を一切マスクせず、サイズビットSZが4Kバイトページを指示するときは比較回路402Aの比較結果をマスクし、サイズビットSZが64Kバイトページを指示するときは比較回路402A、402Bの比較結果をマスクし、サイズビットSZが1Mバイトページを指示するときは比較回路402A～402Cの比較結果をマスクする。この例に従えば、マスクされた比較結果は、論理値“1”に強制されてマスク回路403から出力される。マスク回路403の出力及び対応されるTLBエントリの有効ビット



Vは論理積回路404に供給され、論理積回路404の出力が当該TLBエントリのヒット/ミス信号420とされる。実際には、前記比較回路402A~402D、マスク回路403及び論理積回路404はTLBエントリの64個の格納領域の夫々に対して設けられている。したがって、信号線111に与えられる仮想ページ番号を含むTLBエントリが存在する場合には、当該TLBエントリに対応される論理積回路404の出力が論理値“1”にされる。

【0044】夫々の前記論理積回路404の出力はデータ部401における対応するTLBエントリラインの選択信号とされ、論理値“1”の選択信号に対応されるTLBエントリラインの物理ページ番号PPNが信号線120に、フラグFLAGがアクセス権判定回路405に、キャッシュライトモードビットWTがデータキャッシュメモリ6に出力される。

【0045】信号線120に与えられた前記物理ページ番号PPNは、信号線111に与えられた仮想アドレスのオフセット（物理アドレスのオフセットとされる）等と一緒にデータキャッシュメモリ6に与えられる。

【0046】前記アクセス権判定回路405は、データプロセッサ1が現在ユーザモード又は特権モードの何れであるか、また、CPU2によるアクセスが動作の指示がリード又はライトの何れであるかを示す図示しない信号が供給されており、これに基づいて、データプロセッサの現在の動作モードにフラグFLAGの内容が適合するかを判定し、適合しない場合には、保護違反例外信号408がCPU2に与えられる。

【0047】また、夫々の前記論理積回路404の出力はTLBミス判定回路406に供給される。このTLBミス判定回路406は、前記全ての論理積回路404の出力が論理値“0”であること判定すると、TLBミス例外信号407をCPU2に与える。CPU2はそのTLBミス例外を受け付けると、OSにより、例えば、当該TLBミスに係るTLBエントリを外部メモリのアドレス変換テーブルから共用TLB4に追加するための例外処理を行う。TLBエントリの追加では、追加すべきTLBエントリはCPUバス117からセクタ409を介してアドレス部400及びデータ部401に取り込まれる。この時のTLBエントリラインの選択は、CPU2から信号線111に与えられるインデックスアドレスをセクタ410で取り込み、これをインデックスデコード411でデコードして、行なわれる。セクタ409、410に対する前記選択制御は特に制限されないが、TLBミス判定回路406が行う。

【0048】尚、詳細については後で説明するが、命令TLB3から共用TLB4に検索リード処理の指示があったとき、その検索リードにおける検索ヒット判定のための仮想ページ番号は信号線115からセクタ412を介して与えられる。この検索リード処理におけるTL

Bエントリの出力は信号線116に対して行われる。また、セルフテストにおけるTLBエントリ選択のためのインデックスアドレスは信号線119からセクタ410を介して与えられる。セルフテストにおける書込みデータは信号線119からセクタ409を介して与えられる。

【0049】〔命令TLB〕図4には前記命令TLB3の一例ブロック図が示される。この命令TLB3は最大4個のTLBエントリを格納するためのメモリセルアレイを有し、このメモリセルアレイはアドレスアレイ300とデータアレイ301から構成される。一つのTLBエントリは、特に制限されないが、仮想ページ番号VPN、有効ビットV、サイズビットSZ、物理ページ番号PPN及びフラグFLAGを有する。前記仮想ページ番号VPN、有効ビットV及びサイズビットSZを格納する領域はアドレスアレイ300に構成され、物理ページ番号PPN及びフラグFLAGを格納する領域はデータアレイ301に構成される。仮想アドレスのページサイズ、有効ビットV、及びフラグFLAGの内容は上記と変わらない。

【0050】前記アドレスアレイ300は、特に制限されないがCAMによって構成され、公知の如く、メモリセルそれ自体が比較機能を有している。検索動作においてアドレスアレイ300のメモリセルは並列的に選択されて比較動作を行う。図4では、その比較動作を行う回路要素を比較器として概念的に図示している。代表的に示された4個の比較器302A~302Dは一つのTLBエントリの仮想ページ番号が格納されている領域に対応される比較回路の要素を示すもので、302Aは仮想アドレスのビット10~ビット11、302Bは仮想アドレスのビット12~ビット15、302Cは仮想アドレスのビット16~ビット19、302Dは仮想アドレスのビット20~ビット31の比較器動作を行う要素を想定している。夫々の比較回路302A~302Dにおける比較結果が全ビット一致のとき、比較結果信号は論理値“1”にされる。

【0051】前記比較器302A~302Dによる比較対象は、信号線110を介して供給される仮想ページ番号の対応ビットとされる。303で示されるものはマスク回路であり、サイズビットSZに応じて比較回路302A~302Cによる比較結果をマスクする。即ち、サイズビットSZが1Kバイトページを指示するときは比較回路302A~302Cの比較結果を一切マスクせず、サイズビットSZが4Kバイトページを指示するときは比較回路302Aの比較結果をマスクし、サイズビットSZが64Kバイトページを指示するときは比較回路302A、302Bの比較結果をマスクし、サイズビットSZが1Mバイトページを指示するときは比較回路302A~302Cの比較結果をマスクする。この例に従えば、マスクされた比較結果は、論理値“1”に強制

されてマスク回路303から出力される。マスク回路303の出力及び対応されるTLBエントリの有効ビットVは論理積回路304に供給され、論理積回路304の出力が当該TLBエントリのヒット/ミス信号320とされる。実際には、前記比較回路302A~302D、マスク回路303及び論理積回路304はTLBエントリの4個の格納領域の夫々に対して設けられている。したがって、信号線110に与えられる仮想ページ番号を含むTLBエントリが存在する場合には、当該TLBエントリに対応される論理積回路304の出力が論理値“1”にされる。

【0052】夫々の前記論理積回路304の出力はデータ部301における対応するTLBエントリラインの選択信号とされ、論理値“1”の選択信号に対応されるTLBエントリラインの物理ページ番号PPNが信号線125に、フラグFLAGが前記アクセス権判定回路405に出力される。

【0053】信号線125に与えられた前記物理ページ番号PPNは、信号線110に与えられた仮想アドレスのオフセット（物理アドレスのオフセットとされる）等と一緒に命令キャッシュメモリ5に与えられる。

【0054】また、夫々の前記論理積回路304の出力は、前記共用TLB4に対して検索リード処理を指示するための検索リード制御回路320に供給される。この検索リード制御回路320は、前記全ての論理積回路304の出力が論理値“0”であること（命令TLBミス）を判定すると、共用TLB4から必要な命令TLBエントリを読み込むための制御を開始する。すなわち、命令TLBミスに係る仮想ページ番号と必要な制御信号を信号線115を介して共用TLB4に与える。これによって共用TLB4は、アドレス部400を並列アクセスして、信号線115から与えられる仮想ページ番号に一致するTLBエントリを検索する。この検索がヒットである場合には、ヒットに係るTLBエントリ（VPN, V, SZ, PPN, FLAG）の全てが信号線116を介して命令TLB3に並列的に与えられる（このように、命令TLB3から検索リード処理が指示された場合に共用TLB4から外部に出力される情報はアドレスアレイ400の内容も含んでおり、共用TLB4における通常の検索リードの場合とは相違される）。命令TLB3は共用TLB4から供給されるTLBエントリをセクタ309から取り込む。このときのインデックスアドレスは、検索リード制御回路320からセクタ310を介してインデックスデコーダ311に与えられる。このTLBエントリの追加に際して、特に制限されないが、検索リード制御回路320はLRUの論理によってTLBエントリのリプレースを行うことができる。

【0055】命令TLB3から共用TLB4への検索リード処理の指示による検索結果が検索ミスである場合には、前記TLBミス判定回路406によってTLBミス

例外がCPU2に通知される。それによってCPU2は前述の通り、そのTLBミス例外に係るエントリを図示を省略する外部メモリのアドレス変換テーブルから共用TLB4に追加する。この例外処理の完了後、中断された命令が再実行され、それによって、今度は共用TLB4で検索ヒットが得られる結果、命令TLB3にとって必要なTLBエントリが、前述のように信号線116を介して命令TLB3に供給されることになる。

【0056】命令TLB3にTLBエントリが追加されたとき、追加すべきTLBエントリは信号線116からセクタ309でアドレス部300及びデータ部301に取り込まれる。この時のTLBエントリラインの選択は、検索リード制御回路320から与えられるインデックスアドレスをセクタ310で取り込み、これをインデックスデコーダ311でデコードして、行なわれる。セクタ309、310に対する前記選択制御は特に制限されないが、検索リード制御回路320が行う。

【0057】尚、詳細については後で説明するが、セルフテストにおけるTLBエントリ選択のためのインデックスアドレスは信号線119からセクタ310を介して与えられる。セルフテストにおける書き込みデータは信号線119からセクタ309を介して与えられる。セルフテストにおける読み出し動作はインデックスされた一つのTLBエントリ全体とされ、インデックスされたTLBエントリはその全てが信号線118に供給される。

【0058】〔命令アクセスにおけるアドレス変換〕ここで、命令アクセスにおけるアドレス変換処理の手順を図5及び図6を参照しながら説明する。CPU2による命令アクセスが起動されると（CPU2による命令フェッチの開始）、命令TLB3はその命令アドレスに必ずTLBエントリの有無を検索し、検索ヒットかミスかの判定を行い（S1）、検索ヒットであれば、その仮想アドレスに必ず物理アドレスを出力する（S2）。ステップS1において検索ミスのときは、前記検索リード制御回路320からの指示に従って、今度は、共用TLB4がその命令アドレスに必ずTLBエントリの有無を検索し（S3）、検索ヒットかミスかの判定を行う

（S4）、検索ヒットであれば、その命令アドレスの仮想ページ番号に必ずTLBエントリを命令TLB3に登録する。登録後、処理はS1に戻される。ステップS4の判定結果が検索ミスである場合には、TLBミス判定回路406によってTLBミス例外が発生される。TLBミス例外が発生されると、CPU2は現在の処理を中断して退避処理を行い（S10）、ついで、前記ミスに係る仮想ページ番号のTLBエントリを共用TLB4に登録し（S11）、最後に復帰処理を行う（S12）。復帰後、図5のステップS1の処理に戻される。このように、命令TLB3の検索ミスに対する処理S3、S4、S5は、TLBミスに対するハードウェア・

ミスハンドリングで対処している。

【0059】〔データキャッシュメモリ〕図7にはデータキャッシュメモリ6の一例が示される。データキャッシュメモリ6は最大512個のキャッシュラインを構成するためのメモリセルアレイを有し、このメモリセルアレイはアドレスアレイ600とデータアレイ601から構成される。一つのキャッシュラインは、物理ページ番号によって構成されるキャッシュタグ（アドレスタグ）CTAG、有効ビットV、ダーティービットU及びそれに対応される32バイトのデータDATAを含む。キャッシュタグCTAG、有効ビットV及びダーティービットUはアドレスアレイ600に、データDATAはデータ部601に配置される。有効ビットVはキャッシュラインに有効なデータが含まれているかを示し、論理値“1”で有効、“0”で無効を意味する。ダーティービットUはライトバックモードでデータキャッシュメモリ6が利用されるときに用いられ、ライトバックモードにおいて書き込みが発生したとき、論理値“1”にされる。このダーティービットUによって対応するエントリのデータと外部メモリのデータとの不一致を知ることができる。このダーティービットUはパワーオンリセットで論理値“0”に初期化される。

【0060】このデータキャッシュメモリ6は、特に制限されないが、ダイレクトマップとされる。キャッシュラインの選択はインデックスデコーダ602が行う。インデックスアドレスは制御回路603からセクタ604を介して供給される。制御回路603は信号線111から供給される仮想アドレスと信号線120から供給される物理ページ番号を各部に振り分ける制御を行うと共に、詳細を後述するRAM領域判定制御手段605、インデックスモード指定手段630及びI/Oレジスタ領域検出手段606を備えている。

【0061】インデックスされたキャッシュラインのキャッシュタグは比較器607によって対応する物理ページ番号と比較される。この物理ページ番号は信号線120を介して共用TLB4から供給される。キャッシュタグCTAGと物理ページ番号が一致し、有効ビットVが論理値“1”のとき、比較器607から出力されるキャッシュヒット信号608は論理値“1”（キャッシュヒット）にされる。ゲート609は前記キャッシュヒット信号608によってキャッシュヒットが通知されたとき、インデックスされたキャッシュラインのデータを後段に通過させる。キャッシュヒットによってゲート609を通過されたデータはその一部がセクタ610によって選択され、バス制御回路611に与えられる。セクタ610は、オフセットアドレスの一部を利用して選択動作を行う。そのようなオフセットアドレスの一部は制御回路603で切り出され、信号線623を介して供給される。

【0062】前記バス制御回路611は前記セクタ6

10の出力、CPUバス117、キャッシュデータバス122、キャッシュアドレスバス121等に接続され、更に、キャッシュヒット信号608、信号線616からの物理アドレス、CPU2からのリード信号及びライト信号615等が供給される。このバス制御回路611は、セクタ610から出力されるキャッシュヒットに係る読み出しデータをCPUバス117に出力する制御、キャッシュミス時に外部メモリアクセスのための物理アドレスをキャッシュアドレスバス121に出力する制御、外部メモリからのデータをセクタ612を介して書込む（キャッシュフィル）制御、キャッシュフィルされたキャッシュラインのアドレス部にセクタ622を介してキャッシュタグCTAGを書込む制御、外部メモリへのデータ書き戻し時にデータをキャッシュデータバス122に出力し且つ書き戻し先アドレスをキャッシュアドレスバス121に出力する制御などを行う。バス制御回路611は上記制御のための論理の他に、ライトバックバッファ613を含んでいる。ライトバックバッファ613は、キャッシュミスによりダーティーなキャッシュエントリ（U=1のキャッシュライン）を外部メモリに追い出す必要が生じた場合、キャッシュフィル動作を優先させて性能を向上させるために、追い出すべきエントリを格納するためのデータバッファであり、キャッシュ1エントリ分のデータと追い出し先の物理アドレスの格納領域を持つ。

【0063】キャッシュライト制御回路614は、データキャッシュメモリ6に対するライトスルーモードとライトバックモードを制御する。何れの動作モードで制御するかは、TLBエントリに含まれるキャッシュライトモードビットWTによって決定される。

【0064】前記バス制御回路611及びキャッシュライト制御回路614による制御内容を連想リード動作及び連想ライト動作に分けて説明する。

【0065】CPU2からキャッシング可能な領域にデータの読出し要求が発行されると、仮想アドレスの一部によって示されるインデックスアドレスによってキャッシュラインが選択され、選択されたキャッシュラインからキャッシュタグCTAGが読出される。読出されたキャッシュタグは、共用TLB4から供給される物理ページ番号と比較される。キャッシュタグが一致し、有効ビットVが論理値“1”の場合にはキャッシュヒットとされ、仮想アドレスのオフセットの一部を利用してセクタから例えばロングワードのデータが出力される。読出されたデータはバス制御回路611によってCPUバス117に与えられる。タグアドレスが不一致又は有効ビットVが論理値“0”の場合、キャッシュミスとされ、バス制御回路611は、ミスに係る物理アドレスに対応される外部メモリからキャッシュ1エントリ分のデータをセクタ612を介して読み込み制御する。このデータ読み込み動作をキャッシュフィルと称する。キャッシ

キャッシュフィルによって必要なデータがデータアレイ601に格納された後、そのキャッシュラインの有効ビットVを論理値“1”にしてキャッシュタグCTAGを更新し、CPU2に必要なデータが返される。キャッシュフィルの際にキャッシュデータアレイ601から追い出されるキャッシュエントリがダーティーだった場合、前記ライトバックバッファ613へダーティーなキャッシュエントリを追いつ出した後に、キャッシュのフィルを行う。ライトバックバッファ613から外部メモリへの書き戻しはキャッシュフィルが完了してから行われる。

【0066】CPU2からキャッシング可能な領域にデータの書込み要求が発行されると、リード動作と同様にしてキャッシュのヒット判定が行われる。キャッシュヒットの場合、ライトバックモードが指示されている場合には、ヒットしたキャッシュエントリにデータを書込み、ダーティービットU=1にする。ライトスルーモードなら、ヒットしたエントリにデータを書込んだ後、外部メモリへデータを書込む。この場合ダーティービットUに対する操作は行わない。キャッシュミスした場合には、ライトバックモードなら、キャッシュにフィルを行い、有効ビットV=1、ダーティービットU=1にして、キャッシュタグを更新して、データキャッシュメモリへの書込みを行う。ライトスルーモードの場合には、キャッシュミスにおいて書込みは外部メモリに対してだけ行われる。キャッシュフィルは行われない。ライトバックモードでキャッシュミスをした場合、キャッシュフィル動作によって追い出されるエントリがダーティーだった時の処理は、リード動作と同じである。

【0067】データキャッシュメモリ6はRAMモード及びインデックスモードを有する。RAMモードとはデータアレイ601の半分をRAMとしてランダムアクセス可能にする動作モードである。RAMモードにおいてキャッシュエントリ0～127及び256～383はキャッシュメモリとして機能され、キャッシュエントリ128～255及び384～511までがランダムアクセス可能にされる。インデックスモードとはキャッシュラインを選択する仮想アドレスのビット位置を切り換えることによりキャッシュメモリを分割して仮想アドレス空間に割り当てる動作モードである。RAMモード及びインデックスモードは制御レジスタ620の所定の制御ビットが論理値“1”にさることによって夫々独立に選択される。RAMモードでもインデックスモードでもない場合はアドレスアレイ600及びデータアレイ601は全てキャッシュメモリとして利用される。

【0068】データキャッシュメモリのRAM領域は、データプロセッサ1の仮想アドレス空間を示す図8に記載される様に、0x7C00 0000～0x7FFF FFFFにマッピングされている。0xは16進数であることを意味する。

【0069】前記RAM領域判定制御手段605は、RAM領域に対するランダムアクセス動作とキャッシュメ

モリとしての動作とを切換え制御する。例えば図9に示されるように、仮想アドレスの上位6ビットs2\_a[31]～s2\_a[26]によって0x7Cを検出するためにインバータINV1、6入力アンドゲートAND1が設けられている。図9においてs2\_a[13]～s2\_a[5]は仮想アドレスに含まれる9ビットであり、インデックス用のアドレスとみなされる。アンドゲートAND1の出力とアドレスビットs2\_a[12]はセクタSEL1によってその何れか一方が選択される。セクタSEL1の選択動作は制御信号621によって制御される。制御信号621は制御レジスタ620の1ビットに応じた論理値とされ、その1ビットはRAMモードを指定するための制御ビットである。RAMモードが指定されると、セクタSEL1はアンドゲートAND1の出力を選択する。アンドゲートAND1の出力は、仮想アドレスの上位6ビットs2\_a[31]～s2\_a[26]が0x7Cである場合にだけ論理値“1”にされ、それ以外では論理値“0”にされる。したがって、RAMモードでは、仮想アドレスの上位6ビットs2\_a[31]～s2\_a[26]が0x7Cの場合には、アドレスアレイ600及びデータアレイ601はエントリ128～255及び384～511の領域がインデックスの対象とされる。それ以外のアドレスではエントリ0～127及び256～383の領域がインデックスの対象とされる。RAMモードにおいて、アンドゲートAND1の出力信号が論理値“1”のときは、ゲート609及びバス制御回路611はキャッシュヒット信号608をマスクする。そして、データアレイ601側のセクタ610及びバス制御回路611は、仮想アドレスの残りの一部s2\_a[23]～s2\_a[14]とs2\_a[4]～s2\_a[2]を用いてデータアレイ601から32ビット単位でのランダムリードを可能にする。データアレイ601に対してランダムライトを行うとき、ライトデータは、CPUバス117からセクタ612を介して供給される。ランダムライトにおけるセクタ612の制御はランダムリードと同様にバス制御回路611が前記一部の仮想アドレスs2\_a[23]～s2\_a[14]とs2\_a[4]～s2\_a[2]を用いて行う。

【0070】前記RAMモードにおけるランダムアクセスは、仮想空間にマッピングされたRAM領域に対する直接的なアクセスであるから、そのアクセスはCPUバス117とCPU2との間で行われることになる。データキャッシュメモリ6は、RAMモードが設定されている場合にも、RAM領域以外のメモリアccessに対してはデータキャッシュメモリ6の半分の記憶領域を用いて依然として上記キャッシュ動作を行うことができる。RAM動作かキャッシュ動作かは、上記の説明に従えば、図9のアンドゲートAND1の出力に基づいて決定される。

【0071】前記インデックスモード指定手段630は、キャッシュラインを選択する仮想アドレスのビット位置を切り換えることにより、キャッシュメモリを分割

して仮想アドレス空間に割り当てる。例えば図9に示されるように、仮想アドレスの25ビット目s2\_a[25]と13ビット目s2\_a[13]をセクタSEL2により選択する。セクタSEL2の出力は前記RAMモードを使用しない場合、仮想アドレスのs2\_a[12]～s2\_a[5]と共にインデックスに用いられる。セクタSEL2の選択動作は制御信号621によって制御される。制御信号621は制御レジスタ620の1ビットに応じた論理値とされ、その1ビットはインデックスモードを指定するための制御ビットである。インデックスモードが指定されると、セクタSEL2は、s2\_a[25]を選択する。インデックスモードが指定されていない場合には、s2\_a[23]を選択する。インデックスモードが指定されると、s2\_a[25]がインデックスに用いられるため、32Mバイト毎にデータキャッシュメモリの上記側、下位側の使用に分かれることになる。プログラムを32Mバイト境界に配置することにより、データキャッシュメモリを擬似的に2ウェイセットアソシアティブに扱うことができる。

【0072】前記I/Oレジスタ領域判定手段606は、共用TLB4から供給される物理ページ番号がI/Oレジスタ領域に割り当てられているページ番号に一致するかを判定する。即ち、データプロセッサ1においては、図10に例示されるように、物理アドレス空間における0x1F00 0000～0x1FFF FFFFはI/Oレジスタ領域に割り当てられている。I/Oレジスタ領域とは、周辺モジュール8に含まれるレジスタやデータキャッシュメモリ6に含まれる制御レジスタ620のようなレジスタ等が割り当てられる領域を意味し、CPU2の汎用レジスタのようなレジスタや、データプロセッサが浮動小数点ユニットを含む場合には浮動小数点レジスタのようなレジスタを除外する意味である。このように、I/Oレジスタ領域とは、それがマッピングされたアドレスを指定してアクセスされる性質のレジスタ領域である。I/Oレジスタ領域検出手段606は、共用TLB4による連想ヒットの結果出力される物理ページ番号の上位5ビットが全ビット論理値“1”(0x1F)であるかを判定する。I/Oレジスタ空間へのアクセスであることが検出されると、信号624によってそれがバス制御回路611に与えられる。これによってバス制御回路611は、前記データキャッシュメモリ6のキャッシュ動作(連想検索動作)によるデータの入出力を抑止するとともに、そのI/Oレジスタを直接アクセスするためのバス制御を行う。このバス制御には、共用TLB4を介してバス制御回路611に与えられる物理アドレスを利用する。このときも、図2で説明したアクセス権保護回路405がTLBエントリに含まれる保護情報(FLAGに含まれる)を監視しているので、I/Oレジスタ空間に対しても記憶保護を行うことができる。このように、物理アドレス空間(物理メモリ上のアドレス空間)に仮想アドレス空間(仮想メモリ上のアドレス空間)からI/Oレ

ジスタ領域(I/Oレジスタ空間)をマッピングすることにより、I/Oレジスタ空間に対しても記憶保護を行うことができる。

【0073】尚、セルフテストモードにおいてデータキャッシュメモリ6には信号線119を介して書き込みデータとアドレス信号が供給され、アドレス信号はセクタ604を介してインデックスデコーダ602に供給される。書き込みデータはセクタ612、622を介してデータアレイ601及びアドレスアレイ600に供給される。アドレスアレイ600及びデータアレイ601からの読み出しデータは専用の信号線127を介してセルフテスト回路9に与えられる。

【0074】〔命令キャッシュメモリ〕図11には命令キャッシュメモリ7の一例が示される。命令キャッシュメモリ5は、その性質上、ライトバック/ライトスルーの切換え機能、I/Oレジスタ領域に対する直接アクセス機能を有していない点を除けば、基本的な構成はデータキャッシュメモリ6と殆ど同じである。ここでは、データキャッシュメモリ6との相違点を中心に説明する。

【0075】命令キャッシュメモリ5は最大256個のキャッシュラインを構成するためのメモリセルアレイを有し、このメモリセルアレイはアドレスアレイ500とデータアレイ501から構成される。一つのキャッシュラインは、物理ページ番号によって構成されるキャッシュタグ(アドレスタグ)CTAG、有効ビットV及びそれに対応される16個の命令ISTを含む。キャッシュタグCTAG及び有効ビットVはアドレスアレイ500に、命令ISTはデータアレイ501に配置される。

【0076】この命令キャッシュメモリ5は特に制限されないが、ダイレクトマップとされる。キャッシュラインの選択はインデックスデコーダ502が行う。インデックスアドレスは制御回路503からセクタ504を介して供給される。制御回路503は信号線110から供給される仮想アドレスと信号線125から供給される物理ページ番号を各部に振り分ける制御を行うと共に、RAM領域判定制御手段505及びインデックスモード指定手段530を備えている。

【0077】インデックスされたキャッシュラインのキャッシュタグは比較器507にて対応する物理ページ番号と比較される。この物理ページ番号は信号線125を介して命令TLB3から供給される。キャッシュタグと物理ページ番号が一致し、有効ビットVが論理値“1”のとき(キャッシュヒット)、比較器507から出力されるキャッシュヒット信号508は論理値“1”にされる。ゲート509は前記キャッシュヒット信号508によってキャッシュヒットが通知されたとき、インデックスされたキャッシュラインのデータを後段に通過させる。キャッシュヒットによってゲート509を通過されたデータはその一部がセクタ510によって選択され、バス制御回路511に与えられる。セクタ510

は、オフセットアドレスの一部を利用して選択動作を行う。そのようなオフセットアドレスの一部は制御回路503で切り出され、信号線523を介して供給される。

【0078】前記バス制御回路511は前記セクタ510の出力、CPUバス117、キャッシュデータバス122、キャッシュアドレスバス121、信号線114等に接続され、更に、キャッシュヒット信号508、信号線516からの物理アドレス、CPU2からのリード信号及びライト信号515等が供給される。このバス制御回路511は、セクタ510から出力されるキャッシュヒットに係る読み出しデータを信号線114に出力する制御、キャッシュミス時に外部メモリアクセスのための物理アドレスをキャッシュアドレスバス121に出力する制御、外部メモリからのデータをセクタ512を介して書込む（キャッシュフィル）制御、キャッシュフィルされたキャッシュラインのアドレス部にセクタ522を介してキャッシュタグCTAGを書込む制御などを行う。

【0079】前記バス制御回路511による制御内容を説明する。CPU2からキャッシング可能な領域に命令の読み出し要求が発行されると、仮想アドレスの一部によって示されるインデックスアドレスによってキャッシュラインが選択され、選択されたキャッシュラインからキャッシュタグが読出される。読出されたキャッシュタグは、命令TLB3から供給される物理ページ番号と比較される。キャッシュタグが一致し、有効ビットVが論理値“1”の場合にはキャッシュヒットとされ、仮想アドレスのオフセットの一部を利用してセクタ510から例えばロングワードのデータが出力される。読出されたデータはバス制御回路511により信号線114を介してCPU2に与えられる。タグアドレスが不一致又は有効ビットVが論理値“0”の場合、キャッシュミスとされ、バス制御回路511は、ミスに係る物理アドレスに対応される外部メモリからキャッシュ1エントリ分のデータをセクタ512を経由して読み込む。このデータ読み込み動作をキャッシュフィルと称する。キャッシュフィルによって必要なデータがデータアレイ501に格納された後、そのキャッシュラインの有効ビットVを論理値“1”にして、セクタ522を介してキャッシュタグCTAGを更新し、CPU2に必要なデータが返される。CPU2の命令フェッチに際して命令ライトはないため、キャッシュフィルに際して古いキャッシュエントリが命令キャッシュメモリ5から追い出されても、外部メモリへの書き戻しは必要ない。

【0080】命令キャッシュメモリ5も上記同様のRAMモード及びインデックスモードを有する。RAMモードが設定されると、データアレイ501の半分がRAMとしてランダムアクセス可能にされる。RAMモードにおいてキャッシュエントリ0～63及び128～191はキャッシュメモリとして機能され、キャッシュエント

リ64～127及び192～255までがランダムアクセス可能にされる。RAMモード及びインデックスモードは制御レジスタ520の所定の制御ビットが論理値“1”にすることによって夫々独立に選択される。そうでない場合はアドレスアレイ及びデータアレイ501は全てキャッシュメモリとして利用される。

【0081】命令キャッシュメモリ5のRAM領域は、データプロセッサ1の仮想アドレス空間を示す図8に例示される様に、0x7C00 0000～0x7FFF FFFFにマッピングされている。

【0082】前記RAM領域判定制御手段505は、RAM領域に対するランダムアクセス動作とキャッシュメモリとしての動作とを切換え制御する。その論理は図9と同様に構成出来るが、キャッシュラインの数がデータキャッシュメモリの半分であるためインデックス位置が1ビット下位へずれる。動作モードの設定は制御レジスタ520の1ビットによって決定され、当該ビットの値は制御信号521によってRAM領域判定制御手段505に与えられる。RAMモードが指定されたとき、仮想アドレスの上位16ビットが0x7Cの場合には、アドレスアレイ500及びデータアレイ501はエントリ64～127及び192～255の領域がインデックスの対象とされる。それ以外のアドレスではエントリ0～63及び128～191の領域がインデックスの対象とされる。RAMモードにおいて、アクセスアドレスがRAM領域であるなら、ゲート509及びバス制御回路511はキャッシュヒット信号508をマスクし、セクタ510及びバス制御回路511はデータアレイ501から32ビット単位でのランダムリードを可能にする。

【0083】前記RAMモードにおけるランダムアクセスは、仮想空間にマッピングされたRAM領域に対する直接的なアクセスであるから、そのアクセスは信号線114とCPU2との間で行われることになる。命令キャッシュメモリ5はRAMモードが設定されている場合にも、RAM領域以外のメモリアクセスに対しては命令キャッシュメモリ5の半分の記憶領域を用いて、依然として上記キャッシュ動作を行うことができる。

【0084】前記インデックスモード指定手段530は、キャッシュラインを選択する仮想アドレスのビット位置を切り換えることにより、キャッシュメモリを分割して仮想アドレス空間に割り当てる。その論理は図9と同様に構成できるが、キャッシュラインの数がデータキャッシュメモリの半分であるためインデックスの位置が1ビット下位へずれる。

【0085】インデックスモード選択動作は制御信号521によって制御される。制御信号521は制御レジスタ520の1ビットに応じた論理値とされ、その1ビットはインデックスモードを指定するための制御ビットである。インデックスモードが指定されると、仮想アドレスの25ビット目がインデックスに用いられるため、3

2 Mバイト毎に命令キャッシュメモリの上記側、下位側の使用が別れることになる。プログラムを3 2 Mバイト境界に配置することにより、命令キャッシュメモリを擬似的に2 ウェイセットアソシアティブに扱うことができる。

【0086】尚、セルフテストモードにおいて命令キャッシュメモリ5には信号線119を介して書き込みデータとアドレス信号が供給され、アドレス信号はセクタ504を介してインデックスデコーダ502に供給される。書き込みデータはセクタ512、522を介してデータアレイ501及びアドレスアレイ500に供給される。アドレスアレイ500及びデータアレイ501からの読み出しデータは専用の信号線126を介してセルフテスト回路9に与えられる。

【0087】〔セルフテスト回路〕図12にはセルフテスト回路9のブロック図が示される。このセルフテスト回路9は、テスト設定回路900でテストデータを前記命令TLB3、共用TLB4、命令キャッシュメモリ5及びデータキャッシュメモリ6に書き込み、書込んだデータを夫々、命令TLB判定回路903、共用TLB判定回路904、命令キャッシュ判定回路905及びデータキャッシュ判定回路906に供給する。それぞれの判定回路903～906は例えば対応する書き込みデータと読み出しデータとの一致を判定する。判定結果は結果レジスタ907に保持され、バス制御回路908を介してCPU2によってリード可能にされる。

【0088】上記セルフテストの起動はCPU2からの信号112によって起動判定回路909が判定する。セルフテストの起動が指示されると、起動判定回路909はステートマシン910を起動してテスト動作のための制御サイクルを順次繰り返す。テスト制御回路900はその制御サイクルに同期して、命令TLB3、共用TLB4、命令キャッシュメモリ5及びデータキャッシュメモリ6への書き込みサイクルと読み出しサイクルを起動し、命令TLB判定回路903、共用TLB判定回路904、命令キャッシュ判定回路905及びデータキャッシュ判定回路906の判定動作を制御する。1回の判定結果がCPU2に読み込まれた後、更新回路911によって結果レジスタ907が初期値に更新され、それら動作が最後まで繰り返される。セルフテストの完了はステートマシン910の出力に基づいてテスト完了判定回路912が判定し、その結果を信号113にてCPU2に返す。テスト設定回路900に対する書き込みデータや書き込みアドレスなどのテスト条件の設定は、信号112を介して制御されるレジスタ設定回路913が行う。

【0089】〔データ処理システム〕図13には上記データプロセッサ1を適用したデータ処理システムの一例が示される。同図において1は上記データプロセッサ、11はダイナミック・ランダム・アクセス・メモリ(DRAM)、12はDRAM11に対するアドレスマルチ

プレクス制御やリフレッシュ制御を行うDRAM制御部、13はSRAMである。SRAM13はデータプロセッサ1の作業領域やデータの一時記憶領域などに利用される。14はデータプロセッサ1のOS (Operating System)などを保有するROMである。15は周辺装置制御部であり、代表的に示された外部記憶装置16及びキーボード17が接続されている。18はフレームバッファ19や図示しない描画及び表示制御論理回路を備えた表示コントローラであり、ディスプレイ20に対する描画制御と表示制御を行う。21は電源回路、22は代表的に示されたバスである。

【0090】前記DRAM11、SRAM13及びROM14などはデータプロセッサ1の外部メモリを構成し、外部記憶装置16は外部メモリの二次記憶として利用される。アドレス変換テーブルは例えばSRAM又はDRAMに形成される。

【0091】〔データプロセッサの優位性〕以上説明したデータプロセッサ1によれば、アドレス変換バッファ(TLB)3、4をデータ用と命令用に分け、データ用のアドレス変換バッファ4には命令用のアドレス変換情報も格納させ、命令用のアドレス変換バッファ3で変換ミスを生じたときは、新たなアドレス変換情報をデータ用のアドレス変換バッファ4から取り込む。したがって、命令用のアドレス変換バッファ3で変換ミスを生じたときは、新たなアドレス変換情報をデータ用のアドレス変換バッファ4から取り込むので、変換ミスの度に毎回外部のアドレス変換テーブルからアドレス変換情報を取得する場合に比べて、アドレス変換動作の高速化を実現できる。これによってメモリアクセスの高速化を達成することができる。

【0092】キャッシュメモリ5、6の一部の領域だけを選択的にランダム・アクセス・メモリとして動作させることができる。これによれば、データキャッシュメモリ6及び命令キャッシュメモリ5のRAM領域はランダムアクセスされ、双方のキャッシュメモリ5、6の残りの領域では連想検索が行われるキャッシュメモリとして動作されるから、特にアクセスの高速化を必要とする所望の命令やデータを常にキャッシュメモリ5、6に留まらせることと、最近用いた命令及びデータをキャッシュメモリ5、6に留まらせておくとの双方を満足でき、データ処理速度の向上に寄与することができる。

【0093】キャッシュメモリ5、6のラインを選択するためのインデックスアドレスを切り換えることができる。これにより、キャッシュメモリのラインの選択に仮想アドレスのより上位側のビットを選択的に用いることができるため、擬似的にダイレクトマップのキャッシュメモリをセットアソシアティブのキャッシュメモリとして扱うことができ、データ処理速度の向上に寄与することができる。

【0094】物理アドレス空間に仮想アドレス空間から

I/Oレジスタ領域をマッピングする。このとき、TLBエントリはページに対するアクセス権を規定する保護情報を有し、アクセス権判定回路405は連想ヒットに係る変換情報の保護情報に基づいて当該ページに対するアクセス権を判定する。したがって、I/Oレジスタ空間に対しても記憶保護を行うことができる。

【0095】共用TLB4のエントリは、前記データキャッシュメモリ6に対してライトスルー又はライトバックの何れを採用するかを規定するためのキャッシュライトモードビットWTを有し、キャッシュライト制御回路614がページ単位でキャッシュライトモードビットWTを参照してキャッシュライトの制御形態を決定する。ライトスルーモードの場合には、キャッシュメモリと外部メモリの内容は常に一致されるが、外部メモリアクセスが多くなる。ライトバックモードにおいては外部メモリアクセスは少なくなるが、キャッシュメモリと外部メモリとの内容が不一致にされる期間が存在し、複数のキャッシュメモリが外部メモリを共有する場合にはキャッシュメモリと外部メモリとの一貫性を保つことができなくなることがある。ページ単位でライトスルーモード又はライトバックモードを選択可能であるから、キャッシュメモリと外部メモリの一貫性とアクセス速度との関係を、システム構成やプロセスの内容に応じて最適化することが可能になる。

【0096】したがって、上記データプロセッサ1を適用したデータ処理システムは、データ処理効率を向上させることができる。また、キャッシュメモリの利用形態等の点において、要求の異なった種々のシステムに適用することができる。

【0097】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0098】例えば、命令TLBや共用TLBはダイレクトマップ或いはセット・アソシアティブ形式で構成することも可能である。データキャッシュメモリや命令キャッシュメモリについても、セット・アソシアティブ形式を採用することが可能である。また、命令TLB等に接続されるセルフテストのためのデータバスは専用化しなくてもよく、ゲート制御等によって兼用化することも可能である。また、データプロセッサは浮動小数点ユニットなどの別の回路モジュールを備えることも可能である。

【0099】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0100】すなわち、命令用のアドレス変換バッファで変換ミスを生じたときは、新たなアドレス変換情報をデータ用のアドレス変換バッファから取り込むので、

変換ミスの度に毎回外部のアドレス変換テーブルからアドレス変換情報を取得する場合に比べて、アドレス変換動作の高速化を実現出来る。これによってメモリアクセスの高速化を達成することが可能になる。

【0101】データキャッシュメモリや命令キャッシュメモリは、その一部の記憶領域をランダムアクセス可能にし、残りの記憶領域では連想検索によるキャッシュメモリ動作を可能にするから、特にアクセスの高速化を必要とする所望の命令やデータを常にキャッシュメモリに留まらせることと、最近用いた命令及びデータをキャッシュメモリに留まらせておくこととの双方を満足でき、データ処理速度の向上に寄与することができる。

【0102】データキャッシュメモリや命令キャッシュメモリはインデックスアドレスの指定ビットを切り換えることができるため、大きなアドレス空間毎にキャッシュメモリを分割して使うことが可能になり、データ処理速度の向上に寄与することができる。

【0103】物理アドレス空間に仮想アドレス空間からI/Oレジスタ領域をマッピングすることにより、I/Oレジスタ空間に対しても記憶保護を行うことができる。

【0104】ページ単位でライトスルーモードとライトバックモードを選択可能であるから、キャッシュメモリと外部メモリの一貫性とアクセス速度との関係を、システム構成やプロセスの内容に応じて最適化することが可能になる。

【図面の簡単な説明】

【図1】本発明の一例に係るデータプロセッサのブロック図である。

【図2】共用TLBの一例を示すブロック図である。

【図3】ページサイズの説明図である。

【図4】命令TLBの一例を示すブロック図である。

【図5】命令アクセスにおけるアドレス変換処理の手順を示すフローチャートである。

【図6】TLBミスに対する例外処理の概略を示すフローチャートである。

【図7】データキャッシュメモリの一例を示すブロック図である。

【図8】仮想アドレス空間のアドレスマップである。

【図9】RAM領域判定制御手段及びインデックスモード指定手段の一例を示すブロック図である。

【図10】物理アドレス空間のアドレスマップである。

【図11】命令キャッシュメモリの一例を示すブロック図である。

【図12】セルフテスト回路の一例を示すブロック図である。

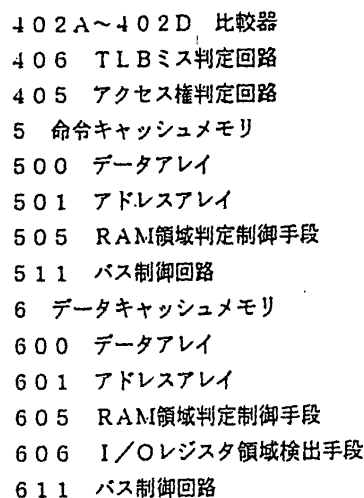
【図13】図1のデータプロセッサを適用したデータ処理システムの一例を示すブロック図である。

【符号の説明】

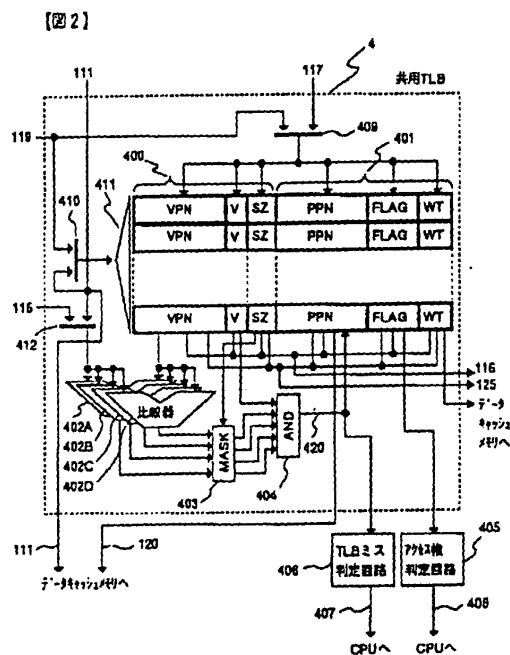
1 データプロセッサ



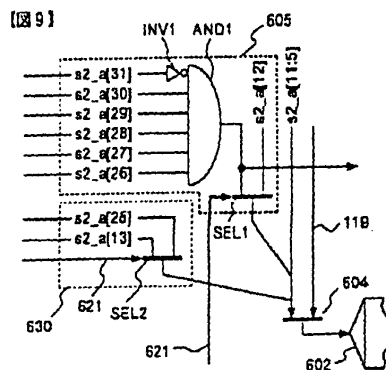
- 【图1】



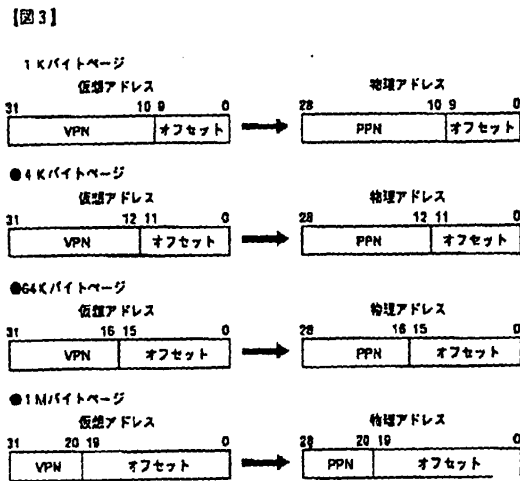
【图2】



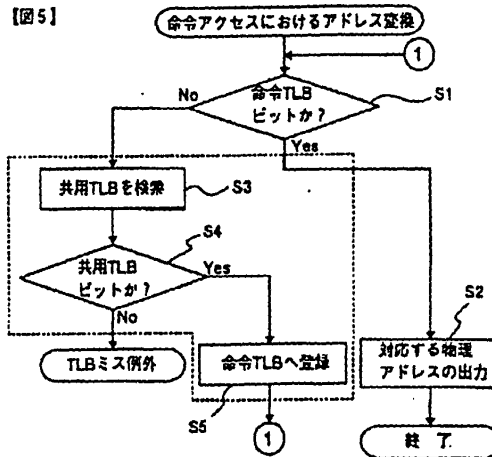
【图9】



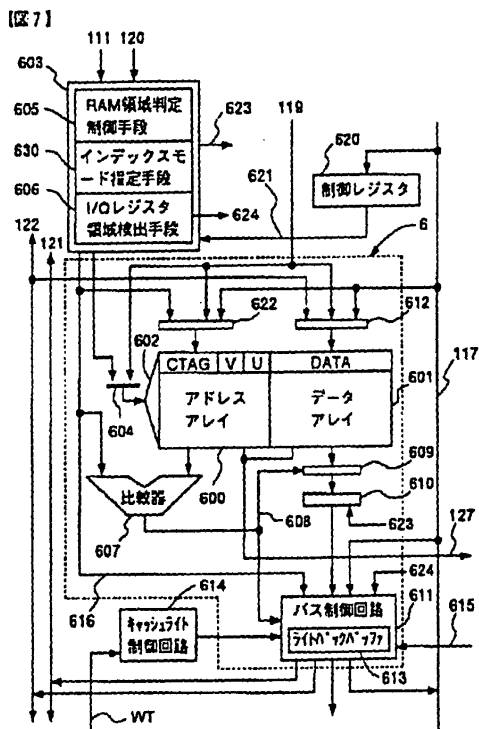
【図3】



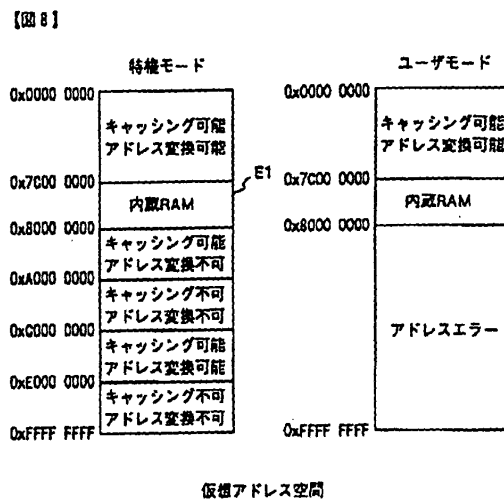
【図5】



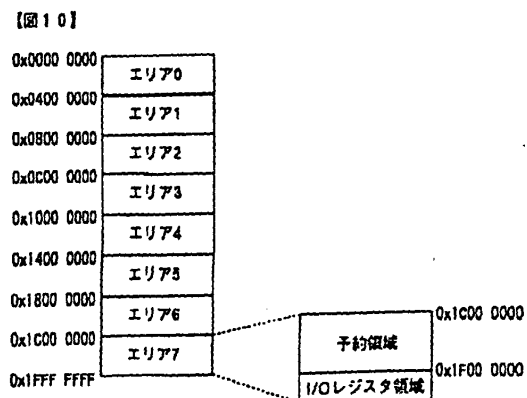
【図7】



【図8】

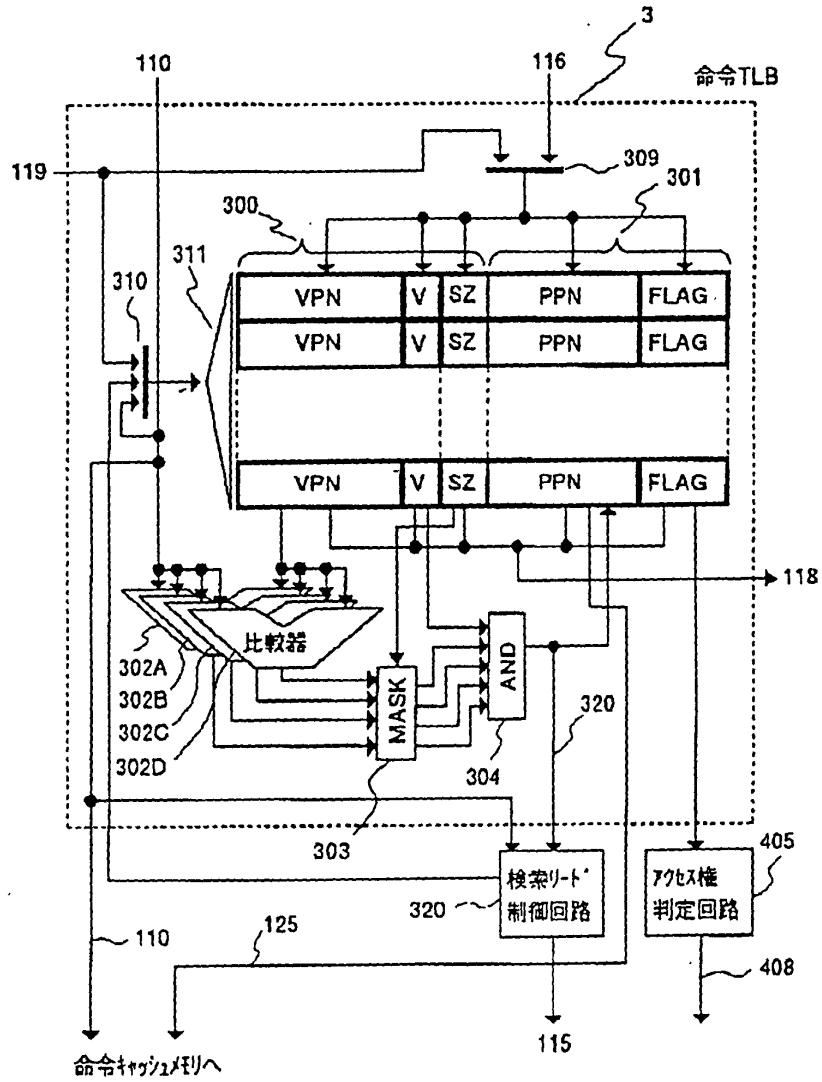


【図10】



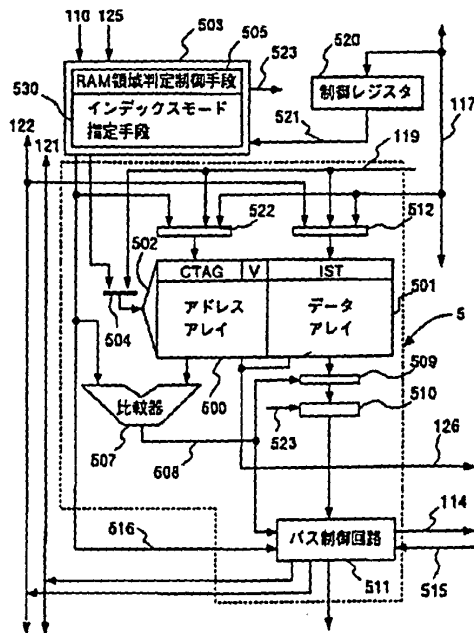
【図4】

【図4】



【図 1 1】

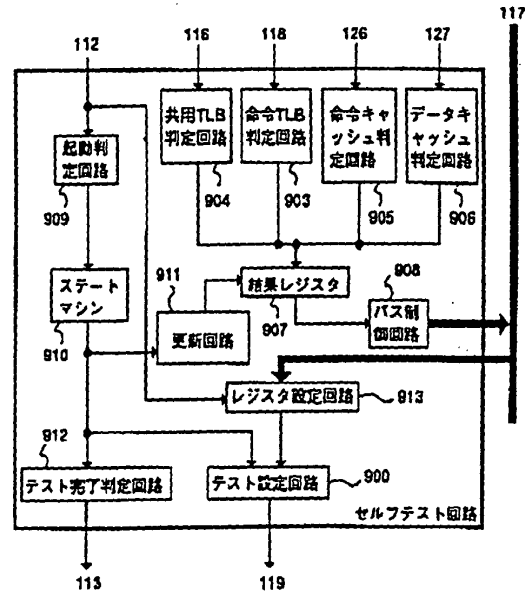
【図 1 1】



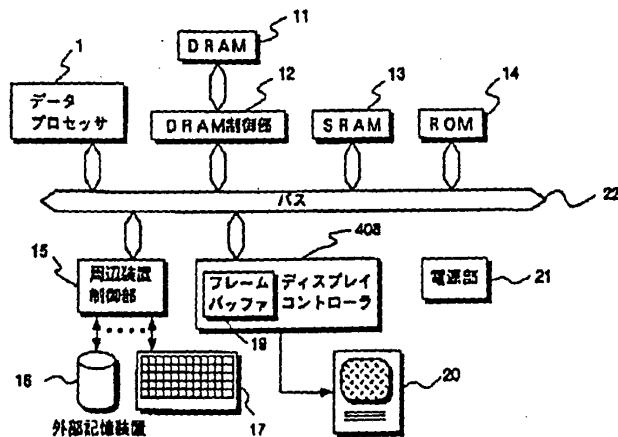
【図 1 3】

【図 1 2】

【図 1 2】



【図 1 3】



フロントページの続き

(72) 発明者 成田 進  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 伊藤 雅之  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 戸田 誠  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72) 発明者 内山 邦男  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内